



No.6 【 再構成可能デバイスを用いた演算アクセラレータの研究開発 】

【 研究キーワード：コンピュータ・アーキテクチャ、リコンフィギャブル コンピューティング、再構成可能コンピュータ、マルチプロセッサ、並列処理、VLSI アーキテクチャ 】

情報科学研究科 情報工学専攻

教授 弘中 哲夫 HIRONAKA, Tetsuo

研究シーズの概要

再構成可能デバイスである FPGA を用いた演算処理の高速化技術。FPGA では高速化を行うアプリケーションの持つ様々な粒度の並列性を積極的に使用して高い演算性能を達成する。この技術により、組込み機器などで使用する低い動作周波数の回路で高い演算性能を実現する他、演算能力あたりの消費電力が少ない計算処理が可能になる。

研究シーズの詳細

◆応用研究例 1◆

エンジン制御用 RBF(Radial Basis Function)ネットワークモデルを用いたオンライン推定の高速化

エンジンの性能向上の方法としてエンジン状態を模擬する RBF ネットワークモデルにより刻々とオンライン推定し、エンジンの挙動がどのように変化するか事前に予測しながら制御する方法がある。しかし、一般に組込みプロセッサなどを用いた RBF ネットワークによるオンライン推定は計算時間を要し、結果として制御の頻度を落とす必要がしばしばある。本研究では FPGA を用いた演算アクセラレーションを行うことで、より高い頻度で RBF ネットワークモデルを用いたオンライン推定が可能になる。高頻度の RBF 推定を可能にすることで、状況変化に対するより高い追従性を達成できるようになる。

◆応用研究例 2◆

電子回路基板プロトタイプ用の実時間アナログ回路シミュレータの開発

ロボットアーム等の制御基板等では事前に接続されたアナログ回路基板に入出力される信号を簡単に予測できない。そこで、通常プロトタイプ基板を実際に試作してシステムに組み入れてテストを行いアナログ回路基板のテストを行う。そして、不具合があれば基板の再試作を繰り返す。本研究ではこのような再設計の手間をなくすため、本シーズである FPGA を用いた演算アクセラレータを用いて実現した実時間シミュレータを実装し、AD/DA コンバータを通してプロトタイプ基板の代わりにシステム内でアナログ基板として動作させ、プロトタイプ基板の再設計無しでシステム実装時のテストを可能にする。

想定される用途・応用例

- ◆ソフトウェアデファインドラジオ(SDR)に代表される信号処理アプリケーション
- ◆組込みシステムなどにおいて低消費電力でかつ高い演算性能を要求するアプリケーション
- ◆演算の粒度(ビット幅)が小さく高い並列性を有する高性能演算を要するアプリケーション

セールスポイント

通常のマイクロプロセッサにおける並列処理に比べて、再構成可能デバイスを用いた並列処理は並列に実行できる演算数が圧倒的に大きい上、必要最低限のハードウェアで計算できるので、同じハードウェア量でもより高い並列処理性能で高い演算性能を引き出すことができる。

問い合わせ先：広島市立大学 社会連携センター

TEL:082-830-1764 FAX:082-830-1555

E-mail:office-shakai@m.hiroshima-cu.ac.jp

〒731-3194

広島市安佐南区大塚東三丁目 4 番 1 号

(情報科学部棟別館 1F)