



低ジッタ・低レイテンシを実現する 再構成可能演算基盤の研究

情報科学研究科
情報工学専攻

教授 **弘中 哲夫** HIRONAKA, Tetsuo

教員情報



キーワード

リコンフィギャラブルコンピューティング, アクセラレータ, FPGA, ASIC

研究シーズの概要

エッジ AI をはじめ、低ジッタ・低レイテンシが要求される分野では、再構成可能デバイスである FPGA を用いた演算処理の高速化が極めて有効である。FPGA は、対象アプリケーションが持つ多様な粒度の並列性を直接ハードウェアとして実装できるため、高い演算性能を達成できる。また、演算処理をハードウェア化することで、低消費電力化とともに、処理遅延を固定化し、予測可能なレイテンシ特性を得られるという利点を持つ。

研究シーズの詳細

◆研究例 1◆

電子回路基板プロトタイピング用の実時間アナログ回路シミュレータの開発

ロボットアームなどの制御基板では、接続されるアナログ回路基板の入出力挙動を事前に正確に予測することが難しい。そのため、従来は

基板試作 → システム組込み → 実機テスト → 不具合時の再試作

という手順を繰り返す必要があり、開発コストと期間が増大していた。

本研究では、この再試作サイクルを削減するため、FPGA ベースの演算アクセラレータによる実時間アナログ回路シミュレータを実装する。AD/DA コンバータを介してシステムに接続することで、実際のプロトタイプ基板の代替として動作させることができ、基板の再設計を行わずにシステム実装時の動作検証を実時間で実施可能となる。

◆研究例 2◆

エンジン制御用 RBF (Radial Basis Function) ネットワークモデルを用いたオンライン推定の高速化

エンジン制御では、RBF ネットワークモデルを用いてエンジン状態をオンライン推定し、挙動変化を予測しながら制御する手法が有効である。しかし、組込みプロセッサ上で RBF ネットワークを逐次計算すると処理負荷が高く、十分な推定頻度を確保できないという課題がある。

本研究では、FPGA による演算アクセラレーションを適用し、RBF ネットワークのオンライン推定をより高頻度で実行可能にすることを目指す。推定頻度の向上により、エンジン状態の変化に対して高い追従性を持つ制御が実現できる。

応用例・セールスポイント

通常のマイクロプロセッサによる並列処理と比較すると、FPGA を用いた並列処理は

- ・同時に実行可能な演算数が圧倒的に多い
- ・必要最小限のハードウェア資源で演算回路を構成できる

という特徴を持つ。そのため、同じハードウェア規模でもより高い並列処理性能を引き出すことが可能であり、リアルタイム性が求められるアプリケーションにおいて大きな優位性を発揮する。

想定される用途・応用例

- ◆各種ハイパフォーマンス・リアルタイム信号処理アプリケーション
- ◆エッジ AI 推論など組込みシステムにおいて、低消費電力かつ高演算性能が求められるアプリケーション
- ◆演算粒度（ビット幅）が小さく、高い並列性を活かせる高性能演算が必要なアプリケーション

【問い合わせ先】 広島市立大学 地域共創センター 〒731-3194 広島市安佐南区大塚東 3-4-1 (情報科学部棟別館 1F)

TEL:082-830-1764 / FAX:082-830-1555 / E-mail:ken-san@m.hiroshima-cu.ac.jp