

微細MOSFETにおけるRandom Telegraph Noiseの測定と評価

システム工学専攻 数理システムデザイン講座 辻 勝弘

概要

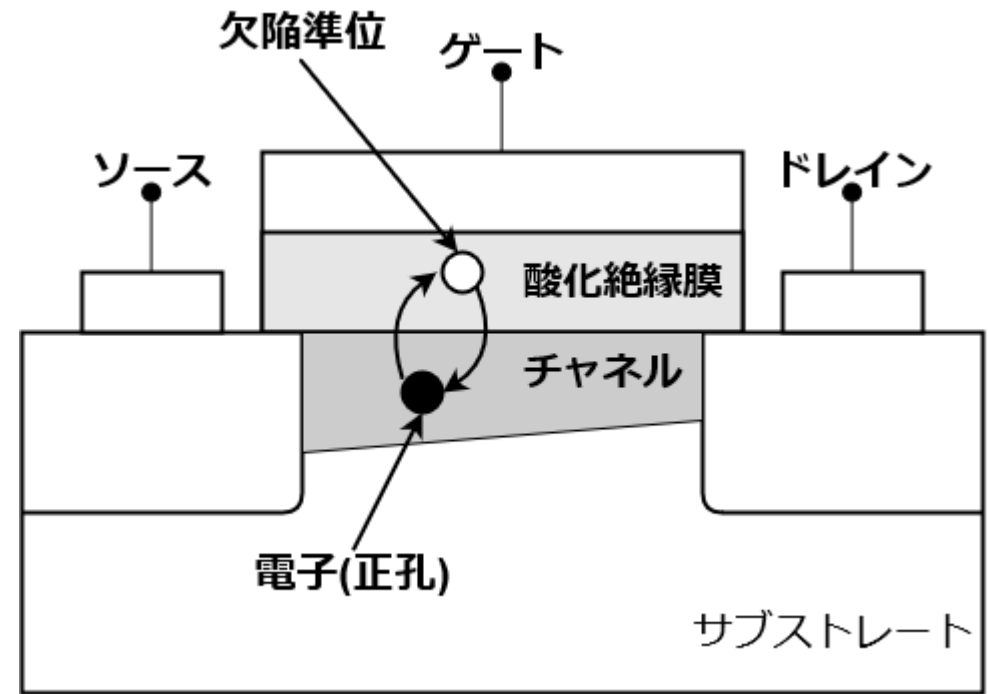
Metal-Oxide-Semiconductor Field-Effect Transistor (MOSFET) におけるRandom Telegraph Noise (RTN) の研究は、次世代の微細トランジスタの性能と信頼性を確保するうえで大変重要です。RTNはMOSFETのドレイン電流などが時間とともにランダムに大きく変動するノイズ現象で、電子または正孔が欠陥により捕獲・放出されることによって引き起こされるために発生します。ここでは、微細MOSFETのRTNを測定し評価した結果について紹介いたします。

背景・目的

- 微細化の影響増大
 - MOSFETの微細化が進むと、トランジスタ1個当たりのトラップが相対的に大きくなります。
 - 単一のトラップがデバイスの動作に与える影響が無視できないほど大きくなるため、RTNが顕著に観測されるようになります。
 - 特にFinFETやGate-All-Around構造などの先端デバイスで深刻になります。
- 性能ばらつきの原因
 - RTNはデバイスごとに異なるため、チップ内のトランジスタにばらつき（デバイス間変動）を生じさせ、回路全体の動作に悪影響を与える可能性があります。
- 低電圧動作時の信頼性課題
 - 消費電力を抑えるために低電圧動作を採用すると、ノイズ耐性が下がり、RTNの影響がより顕著になります。
 - 将来的なIoTなどではこの問題が特に重要です。
- メモリデバイス（SRAMやFlashメモリ）への影響
 - SRAMではRTNによってビットエラーが発生することがあり、データ保持に支障が出る可能性があります。
 - Flashメモリでは、RTNがしきい値電圧の変動を引き起こし、リードエラーの原因になることがあります。

上記の事柄により、RTNの測定・評価は重要と考えます。

RTNの測定

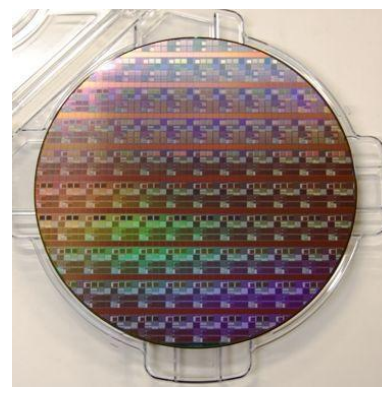


RTNの発生原理

MOSFETの製造過程において酸化膜中や界面に発生する欠陥準位に、熱的に励起されたキャリア(電子・正孔)がランダムに捕獲・解放されることで発生すると考えられている。

DUT：Device Under Test

設計チャンネル長	60 [nm]
設計チャンネル幅	140 [nm]
等価酸化膜厚	2 [nm]



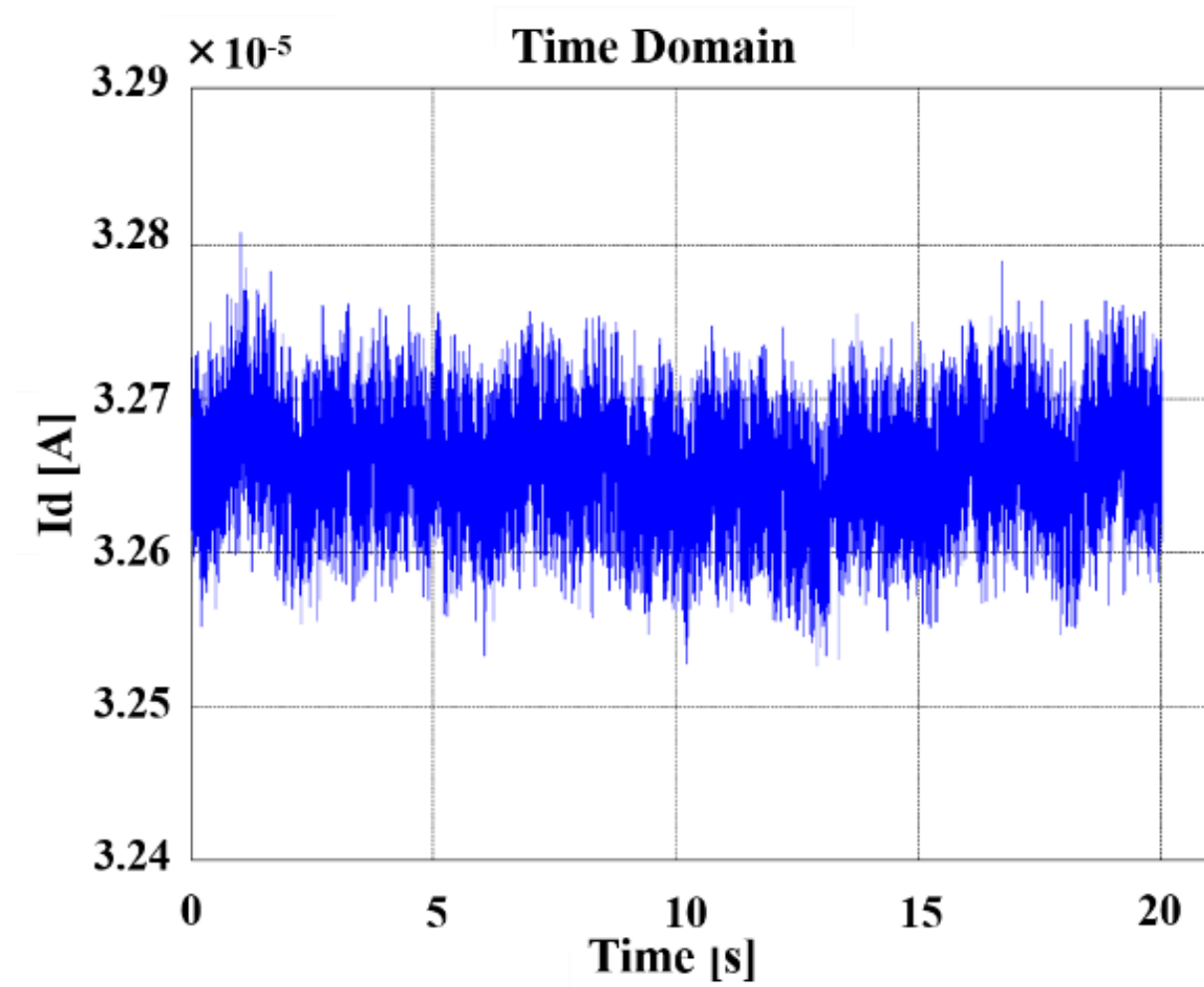
CMOS 65 nmプロセスにて作成された300 mmウェハ

測定環境および測定値

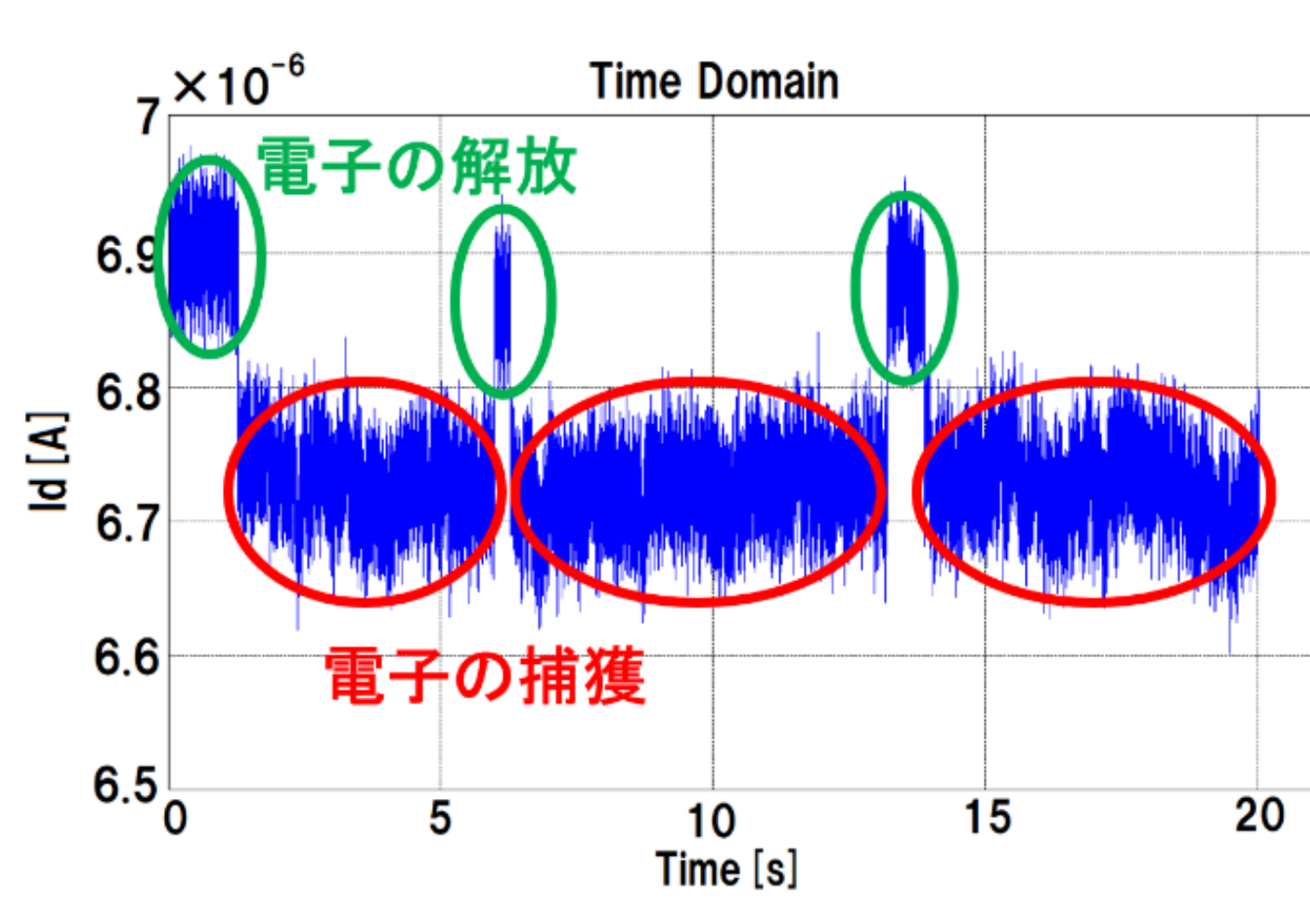
ソース電圧	0 [V]
基板電圧	0 [V]
測定時間	20 [s]
サンプリング周波数	10 [kHz]
測定温度	室温

	ドレイン電圧[V]	ゲート電圧[V]
ドレイン電圧を固定した場合	1.2	0.1 ~ 1.2
ゲート電圧を固定した場合	0.1 ~ 1.2	1.0

n-channel MOSFETの測定結果例

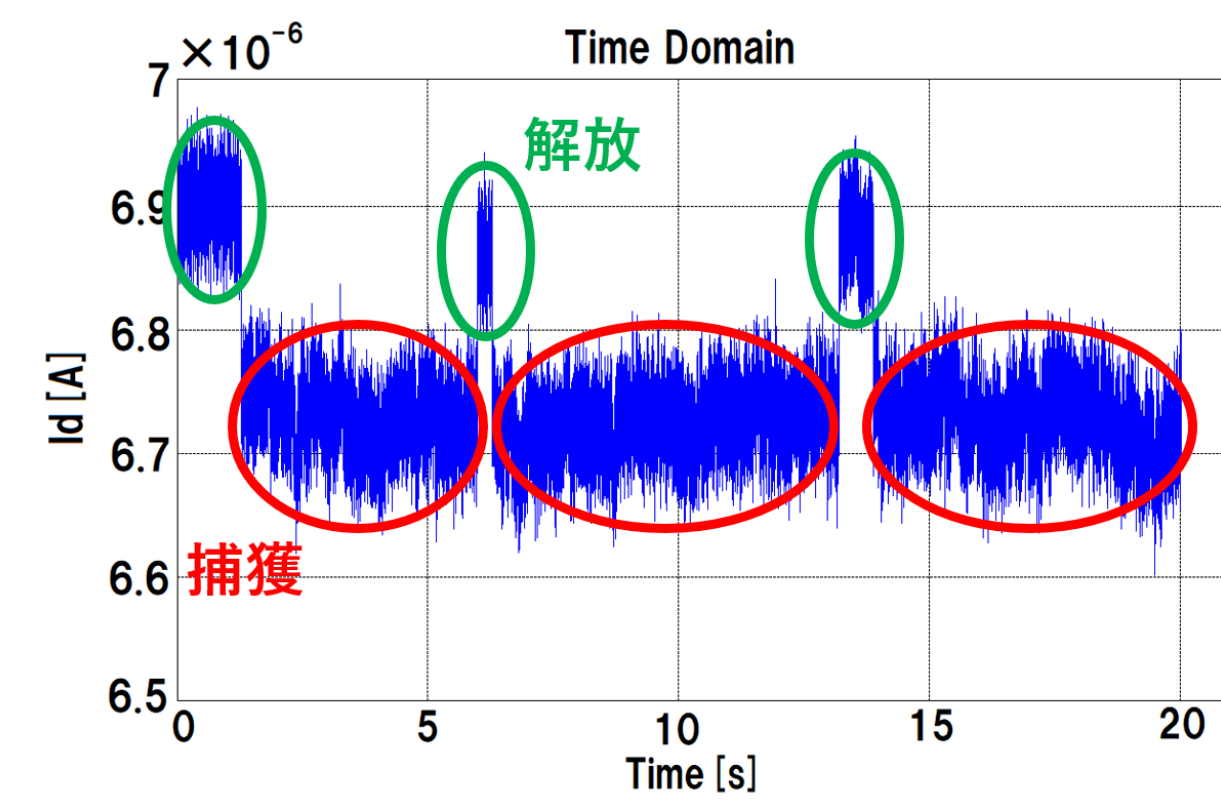


RTNが発生していない場合のドレイン電流の時間依存性
(ドレイン電圧1.2 V, ゲート電圧1.0 V)

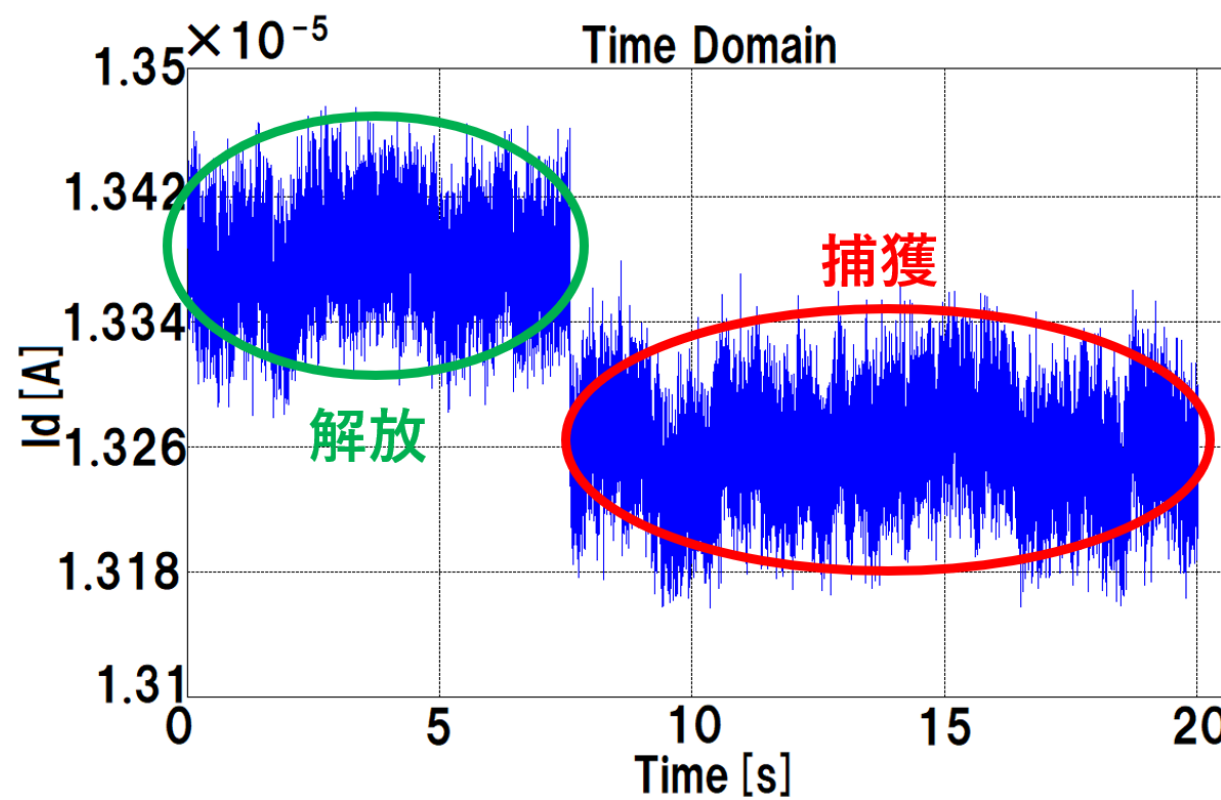


RTNが発生した場合のドレイン電流の時間依存性
(ドレイン電圧1.2 V, ゲート電圧0.8 V)

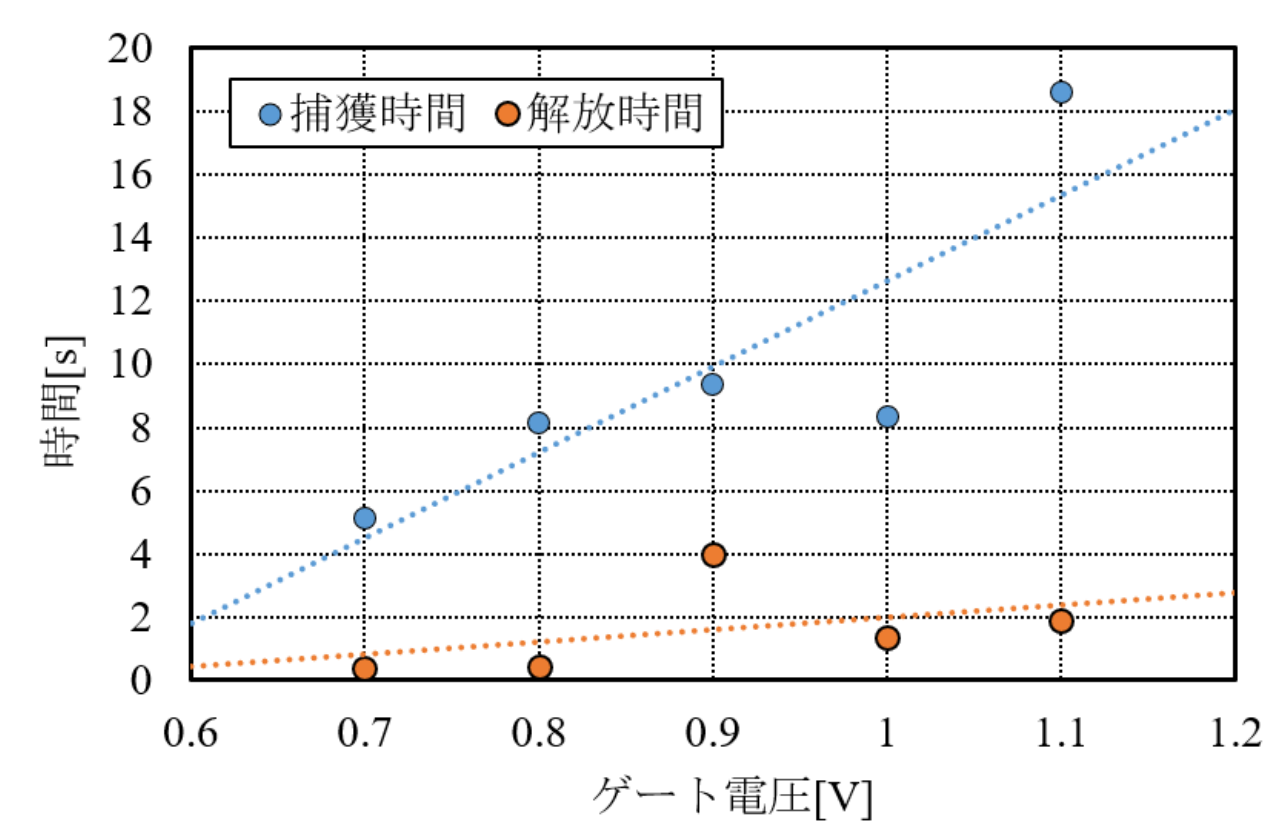
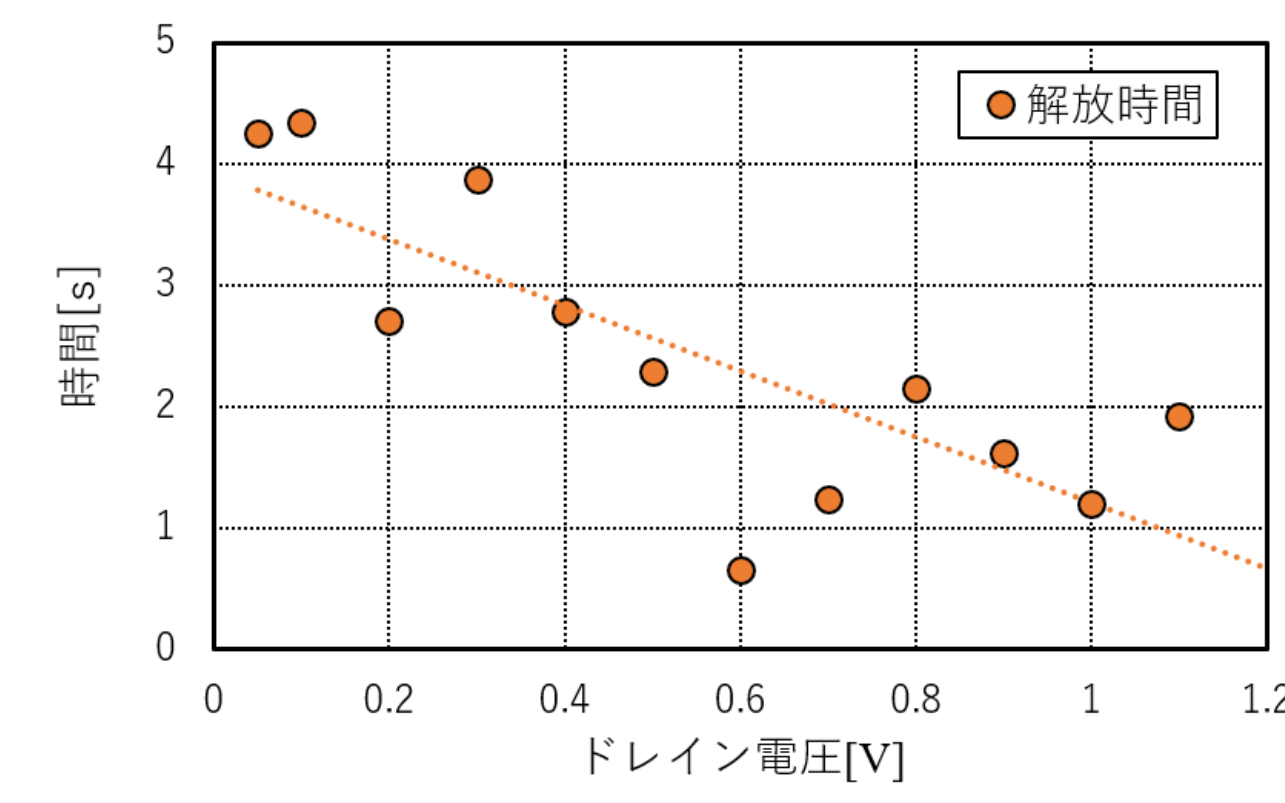
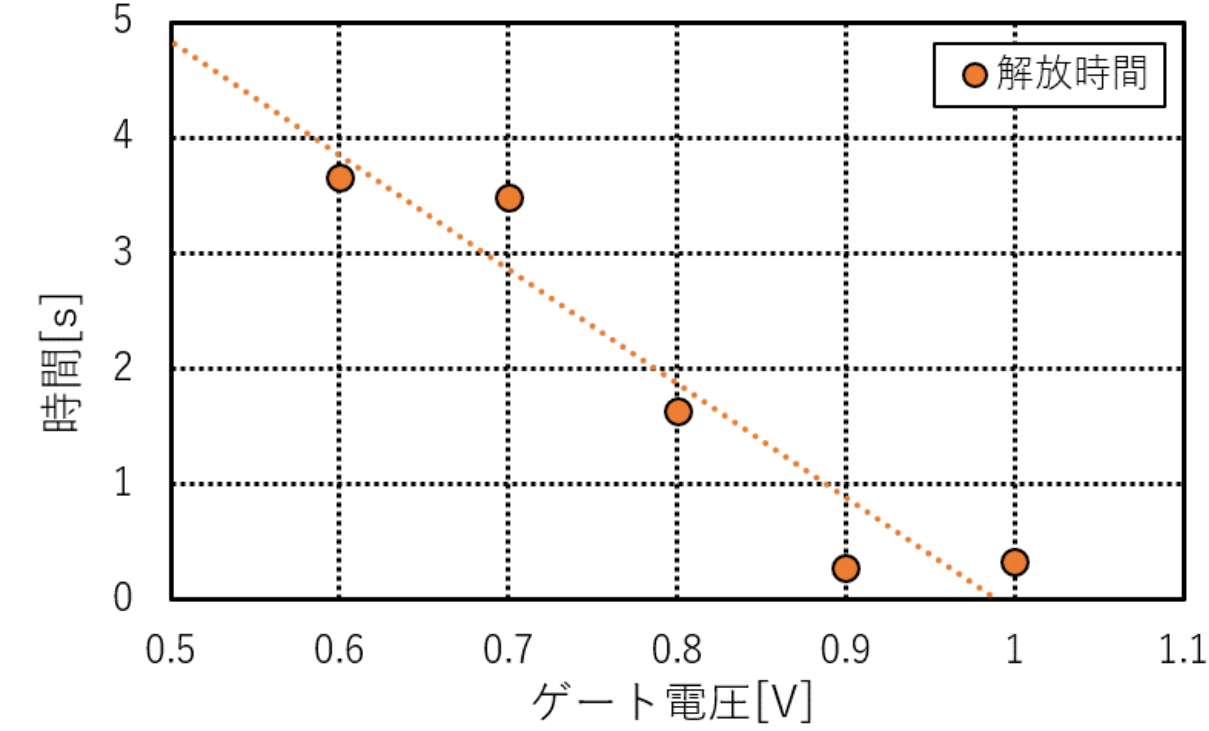
評価結果



発生パターン①



発生パターン②



評価結果のまとめ

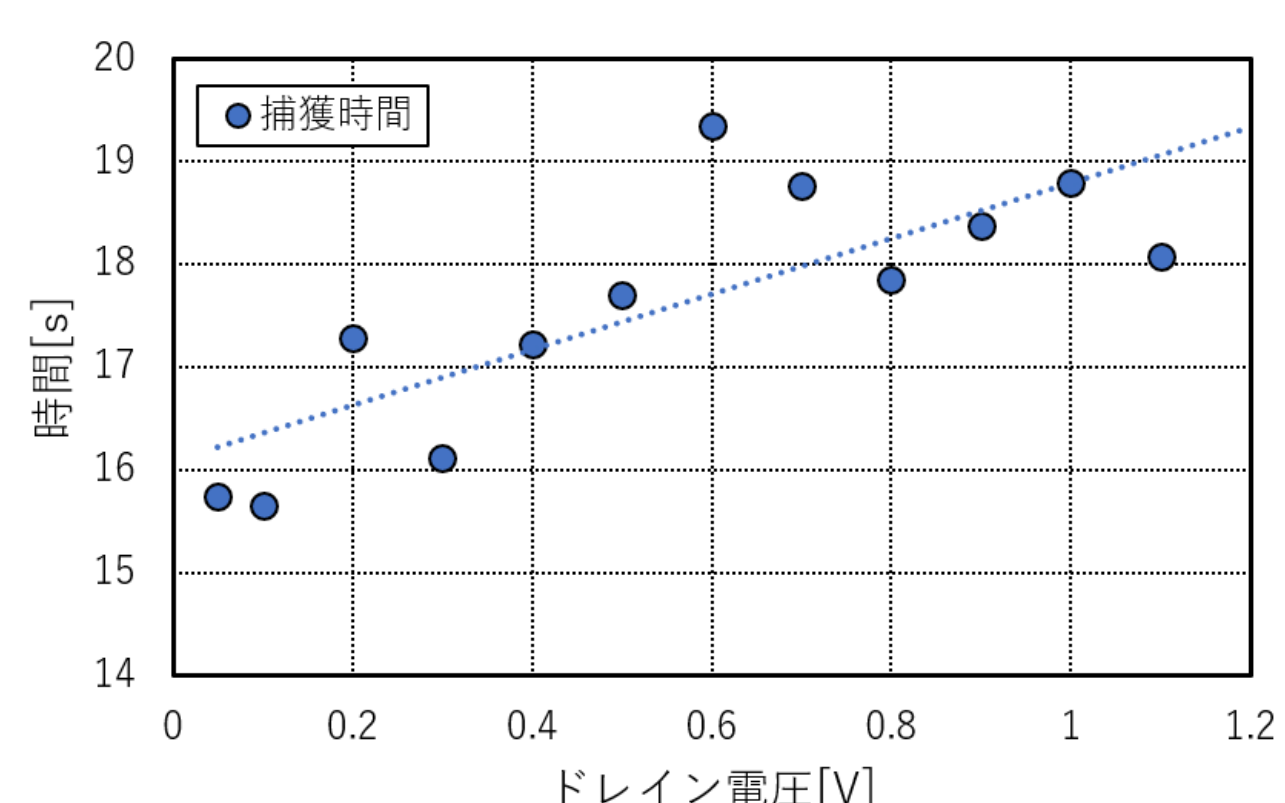
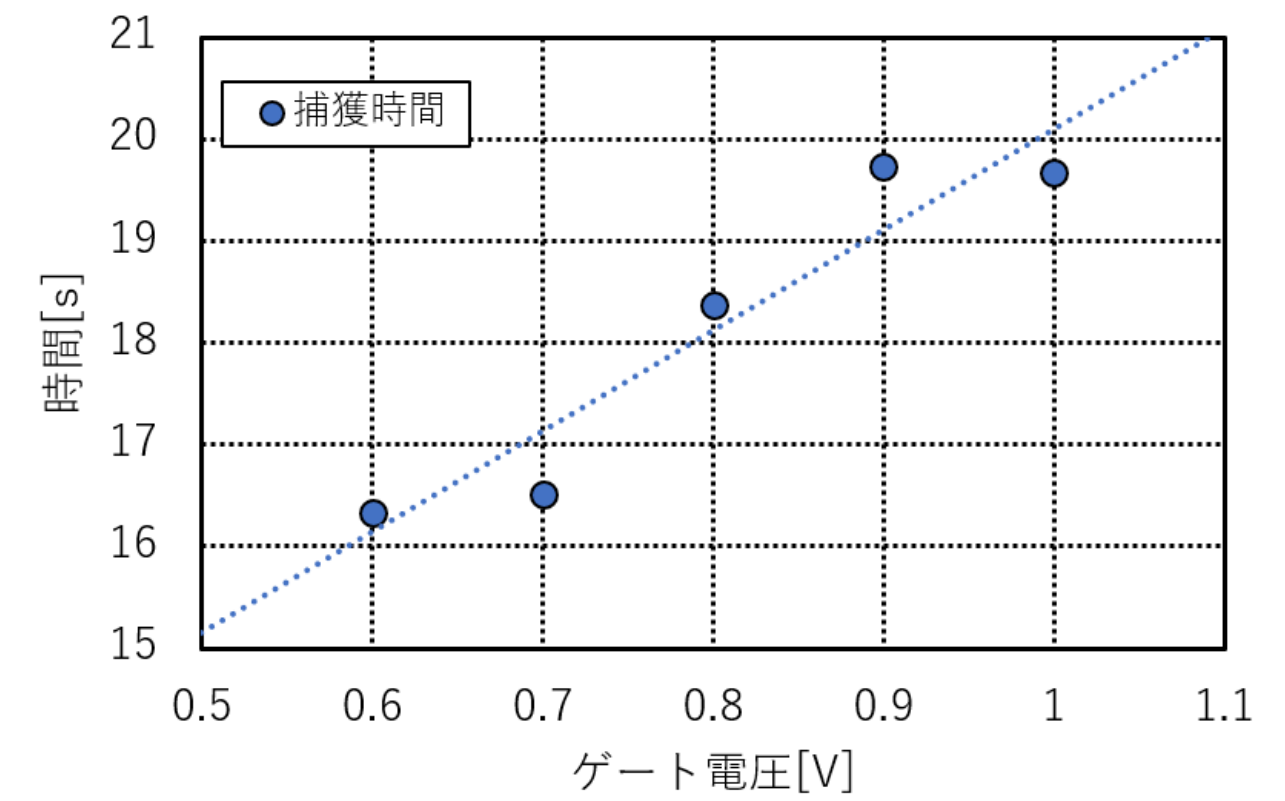
発生パターン①

- ゲート電圧が高くなると捕獲・解放時間が長くなる

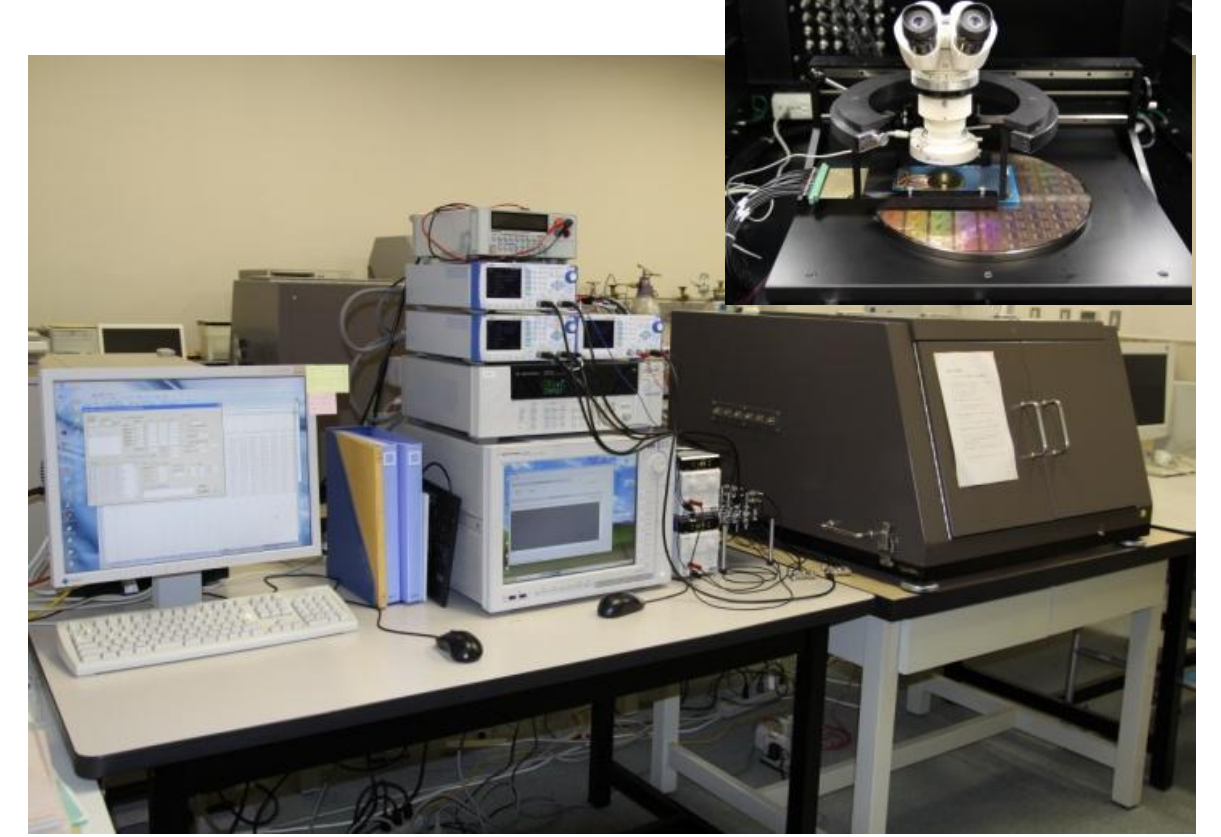
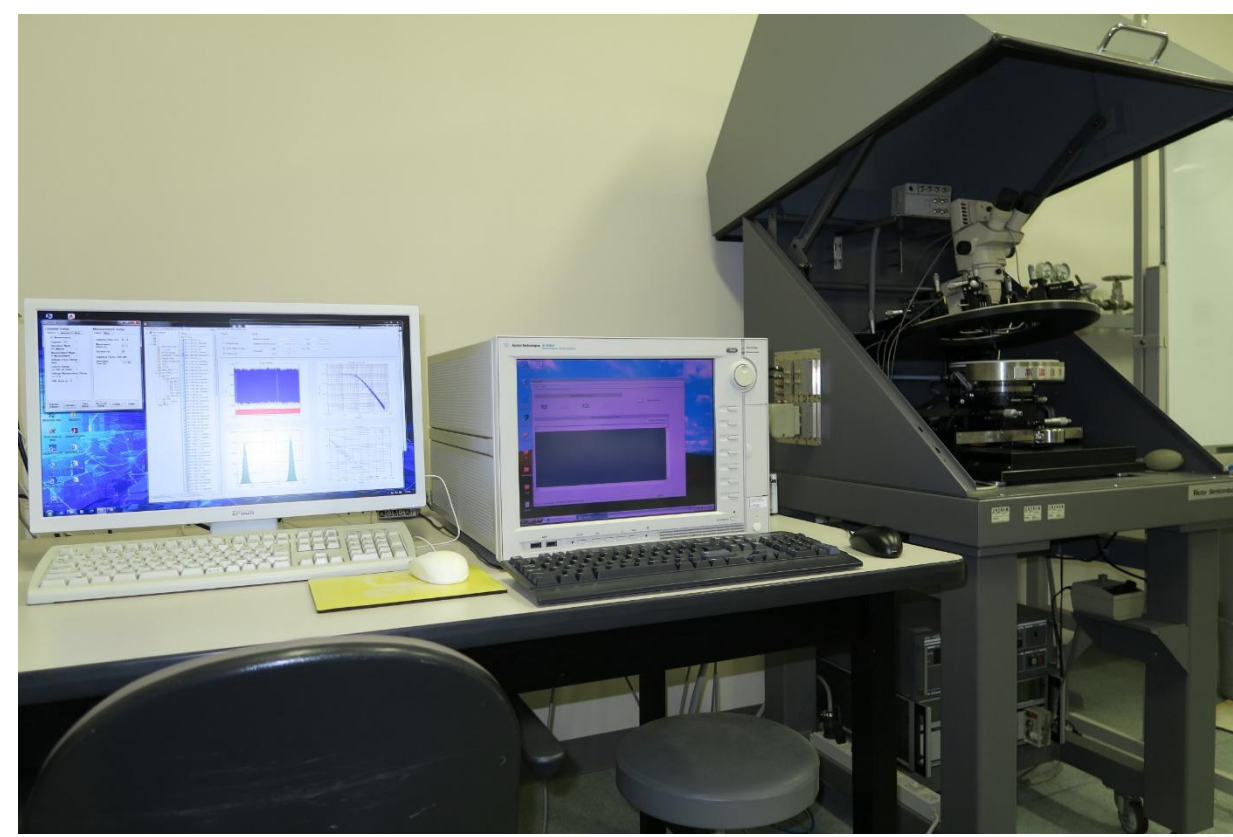
発生パターン②

- ゲート電圧、ドレイン電圧が高いほど解放時間が短くなり捕獲時間が長くなる

電圧が高いほど電子の捕獲が起きやすくなる



測定環境



- Keysight B1500A システム 2式
- Keysight 4156C, 4155B 1式ずつ
- 12インチマニュアルプローバ (24ピン, 36ピン対応)
- Vector Semiconductor社 マニュアルプローバ (1fA対応)
- LCR メータ, パルスジェネレータ, ピコアンメータ, 他

測定実績

- 基本的デバイス特性, 実効チャンネル長, しきい値電圧ばらつき
- CBCM法による容量特性, ランダムテレグラフノイズ及び1/fノイズ特性
- デバイスのモデル化に必要なパラメータ抽出, 他

共同研究事例

- 共同研究先：山梨県甲府市 YITOAマイクロテクノロジー株式会社
- 共同研究期間：2022年6月1日～2024年3月31日
- 内容：0.35 μ m及び1.0 μ mノードのシリコンMOSFETにおける、1/fノイズ特性の評価

連携先

- 半導体関連企業
- 電気・電子関連企業
- 自動車関連企業
- 公的研究機関など